**Программа практикума «Основы проектирования СнК на базе ядра RISC-V»**

|  |  |
| --- | --- |
| Название | Основы проектирования СнК на базе ядра RISC-V |
| Авторы | Заева Маргарита Анатольевна, Нефедов Денис Алексеевич, Решетько Валерий Михайлович |
| Краткая аннотация | Целью Практикума является разработка узлов подключения компонентов и интерфейсов для обеспечения подключения готовой периферии или цифровых устройств собственной разработки к вычислительному ядру RISC-V. За полгода обучения предполагается знакомство с архитектурой ядра RISC-V и его периферийными устройствами на готовом свободно распространяемом ядре SCR1 от Syntacore, которое может быть синтезировано для платформы ПЛИС, и средствами синтеза и моделирования цифровых схем, разбор демонстрационных примеров и самостоятельное выполнение индивидуальных заданий с последующим оформлением материалов и защитой проекта в форме устного доклада с презентацией. Особое внимание уделяется вопросам формализации поставленной задачи, верификации и тестирования готовой схемы, защиты проектных решений и документирования. Для освоения курса необходимы навыки проектирования на языках описания аппаратуры, знакомство с принципами работы САПР для синтеза и моделирования, основы схемотехники и микроэлектроники. |
| Более подробное описание | Стандарт RISC-V внес в мировоззрение разработчиков электроники поистине необратимые изменения, поскольку использовать ядро RISC-V в качестве основы программно-аппаратного интерфейса может любое вычислительное устройство от мобильных телефонов и встроенных систем до суперкомпьютеров. Уверенное владение открытыми технологиями играет ключевую роль при решении проблемы обеспечения независимости от импортных технологий и решений, позволяет отказаться от использования закрытых решений и обеспечить создание и работоспособность критически важных систем. Для более широкого распространения стандарта очень важно снизить стоимость разработки и поддержки уже готовых решений, что возможно за счет подготовки большого количества специалистов. Целью Практикума является разработка узлов подключения компонентов (Flash, ADC) и интерфейсов (AHB, SPI, I2C) для обеспечения подключения готовой периферии или цифровых устройств собственной разработки к вычислительному ядру RISC-V. В рамках Практикума предполагается знакомство с архитектурой ядра RISC-V и его периферийными устройствами на готовом свободно распространяемом ядре SCR1 от Syntacore, которое может быть синтезировано для платформы ПЛИС, и средствами синтеза и моделирования цифровых схем, разбор демонстрационных примеров и самостоятельное выполнение индивидуальных заданий с последующим оформлением материалов и защитой проекта в форме устного доклада с презентацией. В качестве индивидуальных задания предлагается разработать цифровое устройство (например, контроллер доступа к serial FLASH через интерфейс QSPI) или переходник (мост) с AXI на Wishbone. В процессе выполнения заданий совершенствуются навыки проектирования цифрового оборудования, разработки цифровых схем на языке SystemVerilog, моделирования и отладки разработанных устройств, разработки тестового окружения и простейшего программного обеспечения. Отдельное внимание уделяется вопросам формализации поставленной задачи, верификации и тестирования готовой схемы, защиты проектных решений и документирования (разработка спецификаций), что позволяет формировать системный подход к разработке и повышать общий инженерный уровень обучающегося. |
| Цель курса | Формирование у обучающихся компетенций для проектирования специализированных СнК на базе ядра RISC-V. |
| Образовательное направление | **09.00.00,** 27.05.01, 09.05.01 |
| Рекомендуется студентам (для кого предназначен) | Специалитет по направлениям 27.05.01, 09.05.01, старшие курсы бакалавриата по направлению **09.00.00,** младшие курсы магистратуры по направлению **09.00.00, курсы повышения квалификации** |
| Длительность | Полугодовой |
| Объем лекций (часов) | Нет |
| Объем семинаров (часов) | Нет |
| Практикумы (часов) | 64 аудиторных часа |
| Лабораторные работы (часов) | Нет |
| Тесты (наличие) | Есть, вводный тест на владение языками проектирования аппаратуры и программирования |
| Итоговый экзамен (наличие) | нет |
| Предварительные знания | Языки описания аппаратуры (Verilog, VHDL, System Verilog), знакомство с принципами работы САПР для синтеза и моделирования, основы схемотехники и микроэлектроники, навык разработки программ на языке С. |
| Планируемые результаты обучения | Обучившийся **знает** систему команд и архитектуру процессоров RISC-V, основные интерфейсы для подключения периферии; **умеет** разрабатывать периферийные устройства и интерфейсы для подключения готовых устройств к процессорному ядру, тестовое окружение и наборы тестов, документацию (спецификация на устройство); **владеет** современными САПР, навыками проектирования цифрового оборудования, моделирования и отладки разработанных устройств, разработки тестового окружения и простейшего программного обеспечения, готов к защите проектных решений. |
| Содержание учебной дисциплины, примерный план | * таблица ниже |
| Элементы текущего контроля и итогового тестирования | Оценивание этапов работы в баллах с подсчетом итогового результата |
| Список литературы (основная, дополнительная) | Основная   1. «RISC-V — звезда родилась: x86 не у дел, ARM сломала обе ноги», <https://habr.com/ru/companies/servermall/articles/849382> 2. **https://syntacore.ru/page/products/processor-ip/scr1x32ru** 3. ГОСТ Р 34.12─2015, КРИПТОГРАФИЧЕСКАЯ ЗАЩИТА ИНФОРМАЦИИ Блочные шифры, Москва, Стандартинформ 2015, УДК 681.3.06:006.354 ОКС 35. 040 ОКСТУ 5002 П85, http://www.gostinfo.ru/ 4. ГОСТ Р 34.13─2015, КРИПТОГРАФИЧЕСКАЯ ЗАЩИТА ИНФОРМАЦИИ Режимы работы блочных шифров, Москва, Стандартинформ 2015, УДК 681.3.06:006.354 ОКС 35. 040 ОКСТУ 5002 П85, <http://www.gostinfo.ru/> 5. AMBA® APB Protocol Specification, Copyright © 2003-2023 Arm Ltd. All rights reserved. ARM IHI 0024E (ID022823), [www.arm.com](http://www.arm.com) 6. AMBA® AXI-Stream Protocol Specification, Copyright © 2010, 2021 Arm Limited or its affiliates. All rights reserved. ARM IHI 0051B (ID040921), [www.arm.com](http://www.arm.com)   Дополнительная   1. Sutherland, S., Moorby, P., Davidmann, S.,Flake, P., SystemVerilog for Design Second Edition: A Guide to Using SystemVerilog for Hardware Design and Modeling, Springer US, 2006. 2. The Institute of Electrical and Electronics Engineers, Inc, IEEE Standard for SystemVerilog— Unified Hardware Design, Specification, and Verification Language, IEEE Std 1800™-2012 (Revision of IEEE Std 1800-2009) 21 February 2013. 3. FPGA-based SDK projects for SCRx cores, <https://github.com/syntacore/fpga-sdk-prj/tree/66c9e52b48f8ca59cb986855651523ccd9c8b2c5> 4. Харрис Д., Харрис С. Цифровая схемотехника и архитектура компьютера: RISC-V, ДМК-Пресс, 2021 г. 5. The Institute of Electrical and Electronics Engineers, Inc, IEEE Standard VHDL Language Reference Manual, IEEE Std 1076, 2000 Edition, 30 January 2000. 6. Бибило П.Н., Основы языка VHDL, URSS, 2021.   Ритчи Д. М., Керниган Б. У., Язык программирования C, Вильямс, 2019 |
| Использованы материалы, распространяемые под лицензией | Ядро SCR1, открытый исходный код по лицензии SHL;  IP ядра Intel/Altera, являются составной частью пакета Quartus Prime |

### Содержание учебной дисциплины, примерный план

|  |  |
| --- | --- |
| Номер | Информация |
| 1 | Введение |
| Структура Практикума, цели и задачи.  Обзор архитектур:   * 1. Ядра процессора RISC-V SCR1;   2. Интерфейсы к процессорным ядрам   Обзор средств макетирования: состав тренировочных плат, параметры и особенности ПЛИС. |
| 2 | Сборка ядра на ПЛИС |
| Знакомство с САПР, уточнение параметров проекта, сборка и загрузка проекта в ПЛИС |
| 3 | Освоение средств разработки |
| Обзор возможностей ПО для верификации, синтеза. Самостоятельная отработка элементарных навыков на готовом проекте |
| 4 | Разбор демонстрационных примеров и выдача индивидуальных заданий |
| Разбор демонстрационного примера, ознакомление с требованиями и соглашениями разработки, выдача индивидуальных заданий, обсуждение индивидуальных заданий |
| 5 | Этапы самостоятельного проектирования узла/устройства |
| Выполняется проектирование алгоритма работы узла/устройства, формируется описание в виде спецификации  Результат этапа – следующие материалы:   * спецификация (описание назначения, структурных элементов и параметров устройства на человеческом литературном языке); * описание оборудования на языке HDL (описание структурных элементов устройства на языке описания оборудования — VHDL, SystemVerilog); * верификация поведенческая (создание тестовой платформы для подтверждения параметров, логики функционирования и особенностей оборудования) |
| 6 | Синтез для выбранной платформы реализации |
| Выполняется синтез с учетом выбранной платформы. Результат этапа: отчеты по занимаемому объему логики, скоростным параметрам, размещению интерфейсов ввода-вывода |
| 7 | Автономная отладка: |
| Отладка проводится в два этапа:   * + верификация на вентильном уровне — то же, что и в п. 5 (верификация поведенческая), но вместо исходных текстов описания используются синтезированное представление в виде списка связей и примитивов платформы (netlist);   + подтверждение скоростных параметров (timing) |
| 8 | Отладка в составе системы с вычислительным ядром |
| Доработка тестовой платформы с учетом системного окружения, проведение верификации. Консультирование по вопросам подготовки отчетных материалов. |
| 9 | Разработка и запуск программного обеспечения |
| Разработка простейшего программного обеспечения на базе имеющихся шаблонов кода |
| 10 | Защита проекта |
| Выступление в формате доклада с презентацией, с комплектом материалов:   * Спецификация; * Отчёт о покрытии кода при поведенческой верификации; * Отчёт об объеме синтезируемой логики; * Отчёт о скоростных параметрах; * Отчёт о покрытии кода при верификации на вентильном уровне; * Выводы по степени реализации проекта |

Данный практикум «Основы проектирования СнК на базе ядра RISC-V» использует материалы компании Syntacore с открытым исходным кодом, распространяемые под лицензией SHL и IP ядра Intel/Altera, являющиеся составной частью пакета Quartus Prime (лицензируются в составе пакета).

Разработка данных учебных материалов практикума «Основы проектирования СнК на базе ядра RISC-V выполнена авторским коллективом (Заева М.А., Нефедов Д.А., Решетько В.М.) в рамках конкурса грантов [Альянса RISC-V](https://riscv-alliance.ru/) и допускается к использованию под лицензией [CC BY 4.0](https://creativecommons.org/licenses/by/4.0/deed.ru).